

10/508, 795

PCT/JP03/03240

Rec'd PCT/PTO 21 SEP 2004

18.03.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 3月22日

出 願 番 号

Application Number:

特願2002-079960

[ST.10/C]:

[JP2002-079960]

REC'D 09 MAY 2003

WIPO

PCT

出 願 人

Applicant(s):

ザインエレクトロニクス株式会社

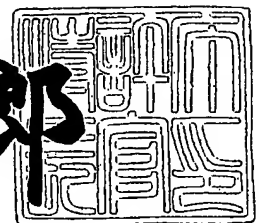
BEST AVAILABLE COPY

~~PRIORITY DOCUMENT~~
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 4月22日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3029021

【書類名】 特許願

【整理番号】 KP2659

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

 【住所又は居所】 東京都中央区八丁堀 1 丁目 10 番 7 号 マツダ八重洲通ビル 6 階 ザインエレクトロニクス株式会社内

 【氏名】 辻田 達男

【特許出願人】

 【識別番号】 399011195

 【氏名又は名称】 ザインエレクトロニクス株式会社

【代理人】

 【識別番号】 100107939

 【弁理士】

 【氏名又は名称】 大島 由美子

【手数料の表示】

 【予納台帳番号】 072052

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0117643

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 アナログ画像信号をディジタル画像信号に順次変換するために並列動作を行う複数のアナログ／ディジタル変換回路と、

前記複数のアナログ／ディジタル変換回路を周期的にある順序で動作させるために用いる多相クロック信号を生成する多相クロック信号生成回路と、

前記複数のアナログ／ディジタル変換回路を動作させる周期又は順序を変更するように前記多相クロック信号生成回路を制御する制御回路と、
を具備する半導体集積回路。

【請求項 2】 前記制御回路が、ディジタル画像信号の 1 フレーム中の画素数と前記アナログ／ディジタル変換回路の数とに基づいて、少なくとも連続する 2 フレーム間の画素について、前記複数のアナログ／ディジタル変換回路が同一の周期及び同一の順序で変換することが無いように前記多相クロック信号生成回路を制御する、請求項 1 記載の半導体集積回路。

【請求項 3】 前記アナログ／ディジタル変換回路の数を N とするときに、前記制御回路が、ディジタル画像信号の 1 フレーム中の画素数と前記アナログ／ディジタル変換回路の数とに基づいて、連続する N フレーム間の画素について、前記複数のアナログ／ディジタル変換回路が同一の周期及び同一の順序で変換することが無いように前記多相クロック信号生成回路を制御する、請求項 2 記載の半導体集積回路。

【請求項 4】 前記多相クロック信号生成回路が、マスタークロック信号をカウントすると共に、多相クロック信号を生成するためのカウント値を記憶し、
前記制御回路が、前記多相クロック信号生成回路に記憶されているカウント値を所定の時期に変更することにより前記多相クロック信号生成回路を制御する、
請求項 1 記載の半導体集積回路。

【請求項 5】 前記多相クロック信号生成回路が、マスタークロック信号をカウントすると共に、多相クロック信号を生成するためのカウント値を記憶し、
前記制御回路が、マスタークロック信号をカウントして得られたカウント値に

基づいて、前記多相クロック信号生成回路に記憶されているカウント値を所定の周期で変更することにより前記多相クロック信号生成回路を制御する、請求項 1 記載の半導体集積回路。

【請求項 6】 前記制御回路が、マスタークロック信号に含まれる所定数のパルスを抑制したクロック信号を出力し、

前記多相クロック信号生成回路が、前記制御回路が出力するクロック信号をカウントして得られたカウント値に基づいて、前記多相クロック信号生成回路を生成する、請求項 1 記載の半導体集積回路。

【請求項 7】 前記制御回路が、ディジタル画像信号のブランキング期間において、マスタークロック信号に含まれる所定数のパルスを抑制したクロック信号を出力する、請求項 6 記載の半導体集積回路。

【請求項 8】 複数の回路素子を順次切り換えて用いてアナログ画像信号をディジタル画像信号に変換するアナログ／ディジタル変換回路と、

前記アナログ／ディジタル変換回路が前記複数の回路素子を周期的にある順序で配列するように前記アナログ／ディジタル変換回路を制御する第 1 の制御回路と、

前記アナログ／ディジタル変換回路が前記複数の回路素子を配列する周期又は順序を変更するように前記第 1 の制御回路を制御する第 2 の制御回路と、
を具備する半導体集積回路。

【請求項 9】 前記第 2 の制御回路が、ディジタル画像信号の 1 フレーム中の画素数と前記回路素子の数とに基づいて、少なくとも連続する 2 フレーム間の画素について、前記アナログ／ディジタル変換回路が前記複数の回路素子を同一の周期及び同一の順序で配列することが無いように前記第 1 の制御回路を制御する、請求項 8 記載の半導体集積回路。

【請求項 10】 前記回路素子の数を N とするときに、前記第 2 の制御回路が、ディジタル画像信号の 1 フレーム中の画素数と前記回路素子の数とに基づいて、連続する N フレーム間の画素について、前記アナログ／ディジタル変換回路が前記複数の回路素子を同一の周期及び同一の順序で配列することが無いように前記第 1 の制御回路を制御する、請求項 9 記載の半導体集積回路。

【請求項 1 1】 前記第 1 の制御回路が、マスタークロック信号をカウントすると共に、前記アナログ／デジタル変換回路を制御するために用いる多相の制御信号を生成するためのカウント値を記憶し、

前記第 2 の制御回路が、前記第 1 の制御回路に記憶されているカウント値を所定の時期に変更することにより前記第 1 の制御回路を制御する、請求項 8 記載の半導体集積回路。

【請求項 1 2】 前記第 1 の制御回路が、マスタークロック信号をカウントすると共に、前記アナログ／デジタル変換回路を制御するために用いる多相の制御信号を生成するためのカウント値を記憶し、

前記第 2 の制御回路が、マスタークロック信号をカウントして得られたカウント値に基づいて、前記第 1 の制御回路に記憶されているカウント値を所定の周期で変更することにより前記第 1 の制御回路を制御する、請求項 8 記載の半導体集積回路。

【請求項 1 3】 前記第 2 の制御回路が、マスタークロック信号に含まれる所定数のパルスを抑制したクロック信号を出力し、

前記第 1 の制御回路が、前記第 2 の制御回路が出力するクロック信号をカウントして得られたカウント値に基づいて、前記アナログ／デジタル変換回路を制御するために用いる多相の制御信号を生成する、請求項 8 記載の半導体集積回路。

【請求項 1 4】 前記第 2 の制御回路が、デジタル画像信号のブランキング期間において、マスタークロック信号に含まれる所定数のパルスを抑制したクロック信号を出力する、請求項 1 3 記載の半導体集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、一般に半導体集積回路に関し、特に、アナログ画像信号をデジタル画像信号に変換する画像用 A D C (Analog to Digital Converter: アナログ／デジタル変換回路) を含む半導体集積回路に関する。

【0 0 0 2】

【従来の技術】

近年においては、LCD (Liquid Crystal Display: 液晶ディスプレイ)、又は、PDP (Plasma Display Panel: プラズマ・ディスプレイ・パネル) 等のデジタル画像表示装置の解像度が年々向上している。それに伴い、アナログ画像信号をデジタル画像信号に変換するLSI (Large Scale Integration: 大規模集積回路) の動作速度も高速になって来ている。通常、LSIを高速で動作させるためには、浮遊容量が小さく電流駆動力の高い、より微細なトランジスタを用いて回路を設計する。また、容易に高速化することができない部分に関しては、同一機能を有する複数の回路を並列に動作させて実質的に高速化させるといった手法が用いられる。

【0003】

デジタル画像表示装置にデジタル画像信号を供給する画像用ADCにおいても同様に、より進んだプロセステクノロジーを用いての広帯域化や、インターリーブ動作による並列化が行われている。しかしながら、微細加工技術の限界から、並列動作を行う複数のADCにおいて特性のばらつきが存在し、微分直線性誤差や積分直線性誤差といった特性を劣化させてしまう。

【0004】

図11に、従来の画像用ADCの構成例を示す。この画像用ADC110は、並列動作を行う第1～第NのADC111と、これらのADC111に多相クロック信号を供給する多相クロック信号生成回路112と、これらのADC111の出力信号の内から1つの出力信号を選択する選択回路113とを有している。第1～第NのADC111は、多相クロック信号生成回路112から供給される多相クロック信号に同期して、順次、アナログ信号をデジタル信号に変換する。ここで、Nは、ADCの並列度を示している。

【0005】

一般に、画像信号においては、図12に示すように、画面左上から水平方向に1ライン分の画素（ピクセル）情報が連続し、次に、垂直方向に1画素分下がって再び画面左から水平方向に1ライン分の画素情報が連続する。これを繰り返すことにより、1フレーム分の画像信号が構成される。1ライン中の画素数と1フ

フレーム中のライン数との積から、1フレーム中の画素数、即ち、1フレーム中のサンプリング回数Mを求めることができる。

【0006】

ところで、1フレーム中のサンプリング回数MがADCの並列度Nで割り切れる場合には、フレーム(I)において、第1のADCが $P(I, 1)$ を、第2のADCが $P(I, 2)$ を、第NのADCが $P(I, N)$ をサンプリングしたとすると、フレーム(I+1)においても同様に、第1のADCが $P(I+1, 1)$ を、第2のADCが $P(I+1, 2)$ を、第NのADCが $P(I+1, N)$ をサンプリングすることになる。ここで、 $P(I, J)$ はI番目のフレームにおけるJ番目の画素を示す。このような場合において、第1～第NのADCの特性がばらついていると、等しいアナログ信号を入力しても出力デジタル信号に一定パターンの誤差を生じるので、画面上にムラが現れてしまう。

【0007】

また、1つのADCを用いてアナログ画像信号をデジタル画像信号に変換する際に、アナログ/デジタル変換特性に影響を与える抵抗やコンデンサ等の回路素子のばらつきの影響を抑えるために、複数の回路素子を順次切り換えること(スワッピング)によって出力結果を平均化することも行われている。そのような場合においても、連続する複数のフレーム間の画素について、このADCが複数の回路素子を同一の周期及び同一の順序で配列すると、画面上にムラが現れてしまう。

【0008】

そうしたばらつきによる画面上のムラを抑えるために、画像用ADCの出力信号をデジタル的に補正することも考えられる。しかしながら、デジタル的な補正を行うためには、複雑な回路と処理が必要になってしまう。

【0009】

【発明が解決しようとする課題】

そこで、上記の点に鑑み、本発明の目的は、複数のADCをインターリーブ動作させて並列化し、又は、複数の回路素子を順次切り換えて用いる画像用ADCを含む半導体集積回路において、画像用ADCの出力信号を平均化して画面上の

ムラを改善することである。

【0010】

【課題を解決するための手段】

以上の課題を解決するため、本発明の第1の観点に係る半導体集積回路は、アナログ画像信号をディジタル画像信号に順次変換するために並列動作を行う複数のアナログ／ディジタル変換回路と、複数のアナログ／ディジタル変換回路を周期的にある順序で動作させるために用いる多相クロック信号を生成する多相クロック信号生成回路と、複数のアナログ／ディジタル変換回路を動作させる周期又は順序を変更するように多相クロック信号生成回路を制御する制御回路とを具備する。

【0011】

また、本発明の第2の観点に係る半導体集積回路は、複数の回路素子を順次切り換えて用いてアナログ画像信号をディジタル画像信号に変換するアナログ／ディジタル変換回路と、アナログ／ディジタル変換回路が複数の回路素子を周期的にある順序で配列するようにアナログ／ディジタル変換回路を制御する第1の制御回路と、アナログ／ディジタル変換回路が複数の回路素子を配列する周期又は順序を変更するように第1の制御回路を制御する第2の制御回路とを具備する。

【0012】

上記のように構成した本発明によれば、複数のアナログ／ディジタル変換回路を並列動作させる場合に、これらのアナログ／ディジタル変換回路を動作させる周期又は順序を変更したり、1つのアナログ／ディジタル変換回路において複数の回路素子を順次切り換えて用いる場合に、これらの回路素子を配列する周期又は順序を変更することにより、いかなる仕様の画像信号が入力されても、画像用ADCの出力信号を平均化して画面上のムラを改善することができる。

【0013】

【発明の実施の形態】

以下、図面に基づいて本発明の実施の形態について説明する。なお、同一の構成要素には同一の参照番号を付して、その説明を省略する。

図1は、本発明の第1の実施形態に係る半導体集積回路の構成を示すブロック

図である。図 1 に示すように、この半導体集積回路は、画像用 ADC 1 0 と、サンプリング制御信号生成回路 2 0 とを含んでいる。画像用 ADC 1 0 は、並列動作する第 1 ～第 N の ADC 1 1 と、これらの ADC 1 1 を周期的にある順序で動作させるために用いる多相クロック信号を生成する多相クロック信号生成回路 1 2 と、これらの ADC 1 1 の出力信号の内から 1 つの出力信号を選択する選択回路 1 3 とを有している。

【 0 0 1 4 】

サンプリング制御信号生成回路 2 0 は、マスタークロック信号に基づいて、サンプリング制御信号を出力する。画像用 ADC 1 0 において、多相クロック信号生成回路 1 2 は、マスタークロック信号と、サンプリング制御信号生成回路 2 0 から供給されるサンプリング制御信号とに基づいて多相クロック信号を生成し、これらの多相クロック信号をそれぞれの ADC 1 1 に供給する。第 1 ～第 N の ADC 1 1 は、多相クロック信号生成回路 1 2 が生成した多相クロック信号に同期して、入力されたアナログ信号をデジタル信号に変換して出力する。選択回路 1 3 は、これらの ADC 1 1 が出力するデジタル信号の内から、多相クロック信号に従って 1 つのデジタル信号を選択して出力する。

【 0 0 1 5 】

図 2 は、図 1 に示す画像用 ADC 1 0 において $N = 3$ とした場合における、各部の信号波形を示すタイミングチャートである。多相クロック信号生成回路 1 2 は、マスタークロック信号及びサンプリング制御信号に基づいて、第 1 の ADC、第 2 の ADC、第 3 の ADC を巡回的に動作させるために用いる多相クロック信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ を生成する。

【 0 0 1 6 】

ここで、1 フレーム中のサンプリング回数 $M = (1 \text{ ライン中の画素数}) \times (1 \text{ フレーム中のライン数})$ が 3 の倍数であるならば、各 ADC は、複数のフレーム間において画面上の同一の画素をサンプリングすることになり、各 ADC のばらつきに対応するムラが画面上に現れることになる。これを防止するため、本実施形態においては、例えば画像信号のブランキング期間において複数の ADC によるサンプリングのタイミングをずらすことにより、いかなる仕様の画像信号が入

力されても画面上のムラを解消できるようにしている。

【0017】

図1に示すように、本実施形態に係る半導体集積回路は、所定の状態においてサンプリングのタイミングをずらすために用いるサンプリング制御信号を生成するサンプリング制御信号生成回路20を含んでいる。多相クロック信号生成回路12は、このサンプリング制御信号に基づいて、生成する多相クロック信号の位相をずらす。

【0018】

多相クロック信号生成回路12は、図2に示すように、サンプリング制御信号がハイレベルになると、生成する多相クロック信号の位相を少なくともマスタークロック信号CKの1パルス分ずらす。その結果、各ADCは、少なくともマスタークロック信号CKの1パルス分ずれたタイミングで動作することになり、連続する2つのフレーム間において、同一のADCが画面上の同一の画素をサンプリングすることがなくなる。

【0019】

以下に、本実施形態において用いるサンプリング制御方法について説明する。以下の説明においては、1フレーム中のサンプリング回数、即ち、(1ライン中の画素数)×(1フレーム中のライン数)をMとし、ADCの並列度、即ち、並列動作するADCの数をNとする(M、Nは2以上の整数)。また、MをNで割った余りをKとする($K = M \bmod N$)。

【0020】

まず、第1のサンプリング制御方法について説明する。K=0となる場合に、(M+L)をNで割った余りが0とならないLを求め、1フレーム中でマスタークロック信号のL個のパルス分だけサンプリングのタイミングをずらす。このようにすることで、少なくとも連続する2つのフレーム間で同一の並列ADCが同一位置の画素をサンプリングすることはなくなるため、並列動作するADCが2個以上の場合において、少なくとも2個のADCによる平均化の効果が得られる。

【0021】

次に、第2のサンプリング制御方法について説明する。K=0となる場合、又

は、 $K \neq 1$ かつ N が K で割り切れる ($N \bmod K = 0$) 場合に、 $(M+L)$ を N で割ったときの余りを J として ($J = (M+L) \bmod N$)、 $J \neq 0$ かつ N と J が互いに素となる L を求め、1 フレーム中でマスタークロック信号の L 個のパルス分だけサンプリングのタイミングをずらす。例えば、 $M=1688$ 、 $N=8$ のときに、この条件を満たす L は、1、3、5、7 の 4 つである。このようにすることで、並列動作する ADC が N 個の場合において、 N 個の ADC による平均化の効果が得られる。

【0022】

次に、本実施形態に係る半導体集積回路の第 1 の変形例について、図 3 及び図 4 を参照しながら説明する。

図 3 に示すように、この半導体集積回路は、画像用 ADC 30 と、サンプリング制御信号生成回路 40 とを含んでいる。画像用 ADC 30 は、並列動作する第 1 ～第 N の ADC 11 と、これらの ADC 11 がサンプリングを行うタイミングを規定する多相クロック信号を生成する多相クロック信号生成回路 31 と、これらの ADC 11 の出力信号の内から 1 つの出力信号を選択する選択回路 13 とを有している。多相クロック信号生成回路 31 は、内部にカウンタ 32 を含み、マスタークロック信号、位相制御数、サンプリング制御信号に基づいて、多相クロック信号を生成する。

【0023】

サンプリング制御信号生成回路 40 は、制御フラグと、垂直同期信号 VSYNC とに基づいて、サンプリング制御信号を生成する。即ち、サンプリング制御信号生成回路 40 は、制御フラグが立っている場合に、垂直同期信号 VSYNC の遷移エッジを基準としてサンプリング制御信号を生成し、そのサンプリング制御信号を画像用 ADC 30 に供給する。なお、垂直同期信号 VSYNC 以外に、水平同期信号 HSYNC、又は、垂直同期信号 VSYNC 若しくは水平同期信号 HSYNC に同期する他の信号を用いるようにしても良い。

【0024】

画像用 ADC 30 において、多相クロック信号生成回路 31 内のカウンタ 32 は、マスタークロック信号をカウントすると共に、多相クロック信号を生成する

ための状態をカウンタ値として記憶している。カウンタ 3 2 は、サンプリング制御信号に応答して、位相制御数に設定されている数だけカウンタ値を変化させる。これにより、多相クロック信号生成回路 3 1 は、多相クロック信号の位相を変化させる。

【 0 0 2 5 】

図 4 は、図 3 に示す画像用 ADC 3 0 において $N = 3$ とした場合における、各部の信号波形を示すタイミングチャートである。サンプリング制御信号生成回路 4 0 は、垂直ブランキング期間等において制御フラグが立っている場合にサンプリング制御信号をハイレベルにする。画像用 ADC 3 0 において、多相クロック信号生成回路 3 1 内のカウンタ 3 2 は、マスタークロック信号 CK をカウントすると共に、サンプリング制御信号がハイレベルになると、位相制御数に設定されている数だけカウンタ値を変化させる。その結果、多相クロック信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ の位相が、図 4 に示すように変化する。なお、図 4 においては、位相制御数を「1」としている。

【 0 0 2 6 】

この例によれば、トータルのサンプリング回数は変化しないので、タイミング的に余裕があれば、ブランキング期間以外においてもサンプリング制御を行うことが可能である。

【 0 0 2 7 】

次に、本実施形態に係る半導体集積回路の第 2 の変形例について、図 5 及び図 6 を参照しながら説明する。

図 5 に示すように、この半導体集積回路は、画像用 ADC 5 0 と、カウンタ 6 0 とを含んでいる。画像用 ADC 5 0 は、並列動作する第 1 ～第 N の ADC 1 1 と、これらの ADC 1 1 がサンプリングを行うタイミングを規定する多相クロック信号を生成する多相クロック信号生成回路 5 1 と、これらの ADC 1 1 の出力信号の内から 1 つの出力信号を選択する選択回路 1 3 とを有している。多相クロック信号生成回路 5 1 は、内部にカウンタ 5 2 を含み、マスタークロック信号、位相制御数、サンプリング制御信号に基づいて、多相クロック信号を生成する。

【 0 0 2 8 】

カウンタ 6 0 は、マスタークロック信号と、制御フラグとに基づいて、サンプリング制御信号を生成する。即ち、カウンタ 6 0 は、制御フラグが立っている場合にマスタークロック信号の数をカウントし、所定の周期ごとにサンプリング制御信号を生成して画像用 A D C 5 0 に供給する。

【 0 0 2 9 】

画像用 A D C 5 0 において、多相クロック信号生成回路 5 1 内のカウンタ 5 2 は、マスタークロック信号をカウントすると共に、多相クロック信号を生成するための状態をカウンタ値として記憶している。カウンタ 5 2 は、サンプリング制御信号に応答して、位相制御数に設定されている数だけカウンタ値を変化させる。これにより、多相クロック信号生成回路 3 1 は、多相クロック信号の位相を変化させる。

【 0 0 3 0 】

図 6 は、図 5 に示す画像用 A D C 5 0 において $N = 3$ とした場合における、各部の信号波形を示すタイミングチャートである。カウンタ 6 0 は、制御フラグが立っている場合に、マスタークロック信号 C K をカウントして、所定の周期ごとにサンプリング制御信号をハイレベルにする。画像用 A D C 5 0 において、多相クロック信号生成回路 5 1 内のカウンタ 5 2 は、サンプリング制御信号がハイレベルになると、位相制御数に設定されている数だけカウンタ値を変化させる。その結果、多相クロック信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ の位相が、図 6 に示すように変化する。なお、図 6 においては、位相制御数を「1」としている。

【 0 0 3 1 】

次に、本発明の第 2 の実施形態について説明する。

図 7 は、本発明の第 2 の実施形態に係る半導体集積回路の構成を示すブロック図である。図 7 に示すように、この半導体集積回路は、画像用 A D C 7 0 と、クロック信号制御回路 8 0 とを含んでいる。画像用 A D C 7 0 は、並列動作する第 1 ～第 N の A D C 1 1 と、これらの A D C 1 1 を周期的にある順序で動作させるために用いる多相クロック信号を生成する多相クロック信号生成回路 7 1 と、これらの A D C 1 1 の出力信号の内から 1 つの出力信号を選択する選択回路 1 3 とを有している。

【0032】

クロック信号制御回路80は、マスタークロック信号、制御フラグ、位相制御数、垂直同期信号VSYNCに基づいて、多相クロック信号生成回路71にクロック信号を供給する。ここで、クロック信号制御回路80は、制御フラグが立っている場合に、垂直同期信号VSYNCの遷移エッジを基準として、位相制御数で設定された数だけパルスを抑制した信号をマスタークロック信号から作り出し、その信号をクロック信号として多相クロック信号生成回路71に供給する。なお、垂直同期信号VSYNC以外に、水平同期信号HSYNC、又は、垂直同期信号VSYNC若しくは水平同期信号HSYNCに同期する他の信号を用いるようにしても良い。

【0033】

画像用ADC70において、多相クロック信号生成回路71は、クロック信号制御回路80から供給されるクロック信号に基づいて、第1～第NのADC11を順に動作させるための多相クロック信号を生成し、これらのADC11に供給する。

【0034】

図8は、図7に示す画像用ADC70においてN=3とした場合における、各部の信号波形を示すタイミングチャートである。クロック信号制御回路80は、垂直ブランキング期間において制御フラグが立っている場合に、垂直同期信号VSYNCの遷移エッジから位相制御数によって設定された数だけマスタークロック信号CKのパルスを抑制した信号を生成し、その信号をクロック信号として、画像用ADC70の多相クロック信号生成回路71に供給する。多相クロック信号生成回路71は、そのクロック信号を受けて、第1のADC、第2のADC、第3のADCを巡回的に動作させるための多相クロック信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ を生成する。なお、図8においては、位相制御数を「1」としている。

【0035】

このようにすることで、並列動作する複数のADCによる平均化の効果により、画面上のムラを低減することができる。しかしながら、トータルのサンプリング数が減少するので、画面に影響を与えないブランキング期間にこの動作を行う

必要がある。

【0036】

以上に述べた手法は、複数のADCをインターリーブ動作により並列化して使用する場合だけでなく、1つのADCを用いてアナログ画像信号をデジタル画像信号に変換する際に、アナログ／デジタル変換特性に影響を与える抵抗やコンデンサ等の回路素子（複数の回路素子が回路ブロックを構成する場合も含む）のばらつきの影響を抑えるために、複数の回路素子を順次切り換えること（スワッピング）によって出力結果を平均化するような場合にも有効である。ここで、回路ブロックとしては、差動アンプやオペアンプ等の増幅回路を用いることが可能である。また、パイプライン型ADCのように複数のステップでAD変換を行う回路構成の場合には、サブADCやサブDACが回路ブロックとなる。

【0037】

次に、このようなADCを用いた本発明の第3の実施形態について説明する。ここで、図9に示すように、抵抗値が等しくなるように設計した抵抗R1とR2を用いて電源電位 V_{DD} を分圧して、電源電位 V_{DD} の midpoint 電位 V_M を生成する場合を考える。ただし、素子生成のばらつきによって、実際には $R1 = R2 + \Delta R$ となっているものとする。図9の左側に示すように抵抗R1とR2が接続されている状態の midpoint 電位 V_{M1} は、式(1)で表される。

【数1】

$$V_{M1} = V_{DD} \frac{R2}{R1+R2} = V_{DD} \left(\frac{1}{2} - \frac{\Delta R}{2(2R2+\Delta R)} \right) \cdots (1)$$

【0038】

一方、図9の右側に示すように、スイッチを切り換えて抵抗R1とR2の位置を逆にして接続した状態の midpoint 電位 V_{M2} は、式(2)で表される。

【数2】

$$V_{M2} = V_{DD} \frac{R1}{R1+R2} = V_{DD} \left(\frac{1}{2} + \frac{\Delta R}{2(2R2+\Delta R)} \right) \cdots (2)$$

従って、2つの状態を交互に切り換えて平均すれば、 midpoint 電位 V_M として正確に $V_{DD}/2$ を作り出すことが可能である。

【0039】

図10は、本発明の第3の実施形態に係る半導体集積回路の構成を示すブロック図である。

図10に示すように、この半導体集積回路は、画像用ADC90と、スイッチング制御信号生成回路100とを含んでいる。画像用ADC90は、複数の回路素子を順次切り換えて用いてアナログ画像信号をデジタル画像信号に変換する。図10においては、第1～第Nの素子91と、これらの素子91を切り換えて第1～第Nのノードに接続するスイッチ92とを含むADC部を示す。

【0040】

また、画像用ADC90には、マスタークロック信号と、スイッチング制御信号生成回路100から供給されるスイッチング制御信号とに基づいて、第1～第Nの素子91を周期的にある順序で配列するようにADC部を制御するために用いる多相制御信号を生成する多相制御信号生成回路93が設けられている。

【0041】

このような画像用ADCにおいては、第1～第Nの素子91と第1～第Nのノードとの接続をスイッチ92で切り換えることにより、これらの素子のばらつきの影響を平均化することができる。しかしながら、画像用のADCにおいてこの手法を用いる場合には、画像信号の周期性により、複数のフレーム間において同一画素をAD変換する際に使用される素子の組合せが同じになってしまうことがある。そのような場合には、平均化の効果が得られないため、画面上にムラが現れることになる。そこで、本発明の第1及び第2の実施形態において述べたのと同様の手法を用いて多相制御信号生成回路93を制御することにより、いかなる仕様の画像信号が入力されても、複数の素子のばらつきの影響を平均化して画面上のムラを改善することができる。

【0042】

このため、スイッチング制御信号生成回路100は、ADC部が複数の回路素子を配列する周期又は順序を変更するように、多相制御信号生成回路93を制御するために用いるスイッチング制御信号を生成する。多相制御信号生成回路93は、マスタークロック信号と、スイッチング制御信号生成回路100から供給さ

れるスイッチング制御信号とに基づいて、多相制御信号の位相を変更する。スイッチ92は、多相制御信号に従って、第1～第Nの素子91と第1～第Nのノードとの接続を変更する。これにより、第1～第Nの素子91のばらつきがランダムに平均化されて、画面上のムラを改善することができる。

【0043】

ここで、具体的な制御手法としては、本発明の第1の実施形態において述べたのと同様の手法を用いることができる。あるいは、本発明の第2の実施形態において述べたように、位相制御数で設定された数だけパルスを抑制した信号をマスタークロック信号から作り出し、その信号をクロック信号として多相制御信号生成回路93に供給するようにしても良い。

【0044】

【発明の効果】

以上述べたように、本発明によれば、複数のADCをインターリーブ動作させて並列化し、又は、複数の回路素子を順次切り換えて用いる画像用ADCを含む半導体集積回路において、いかなる仕様の画像信号が入力されても、画像用ADCの出力信号を平均化して画面上のムラを改善することができる。即ち、複数のADCの出力がばらついていても、画像表示装置上では1秒間に数十回の速度で表示し直すため、画面上のムラは時間的に平均化されて人間の目にはきれいに見える。

【0045】

その結果、従来と同程度のばらつきのLSIを用いても、わずかな回路の追加のみで、画像用ADCの画質を改善することができる。また、回路素子のばらつきの影響を小さくできるため、同程度の画質を出力することができる従来の画像用ADCに比べて回路素子の面積を小さくすることができ、これにより浮遊容量が低減して、より高速に動作させることが可能となる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る半導体集積回路の構成を示すブロック図である。

【図 2】

図 1 に示す画像用 A D C の各部の信号波形を示すタイミングチャートである。

【図 3】

本発明の第 1 の実施形態に係る半導体集積回路の第 1 の変形例の構成を示すブロック図である。

【図 4】

図 3 に示す画像用 A D C の各部の信号波形を示すタイミングチャートである。

【図 5】

本発明の第 1 の実施形態に係る半導体集積回路の第 2 の変形例の構成を示すブロック図である。

【図 6】

図 5 に示す画像用 A D C の各部の信号波形を示すタイミングチャートである。

【図 7】

本発明の第 2 の実施形態に係る半導体集積回路の構成を示すブロック図である。

【図 8】

図 7 に示す画像用 A D C の各部の信号波形を示すタイミングチャートである。

【図 9】

本発明の第 3 の実施形態に係る半導体集積回路の原理を示す回路図である。

【図 1 0】

本発明の第 3 の実施形態に係る半導体集積回路の構成を示すブロック図である。

【図 1 1】

従来の画像用 A D C の構成を示すブロック図である。

【図 1 2】

フレーム上の画素の配置を示す図である。

【符号の説明】

1 0、3 0、5 0、7 0、9 0、1 1 0 画像用 A D C

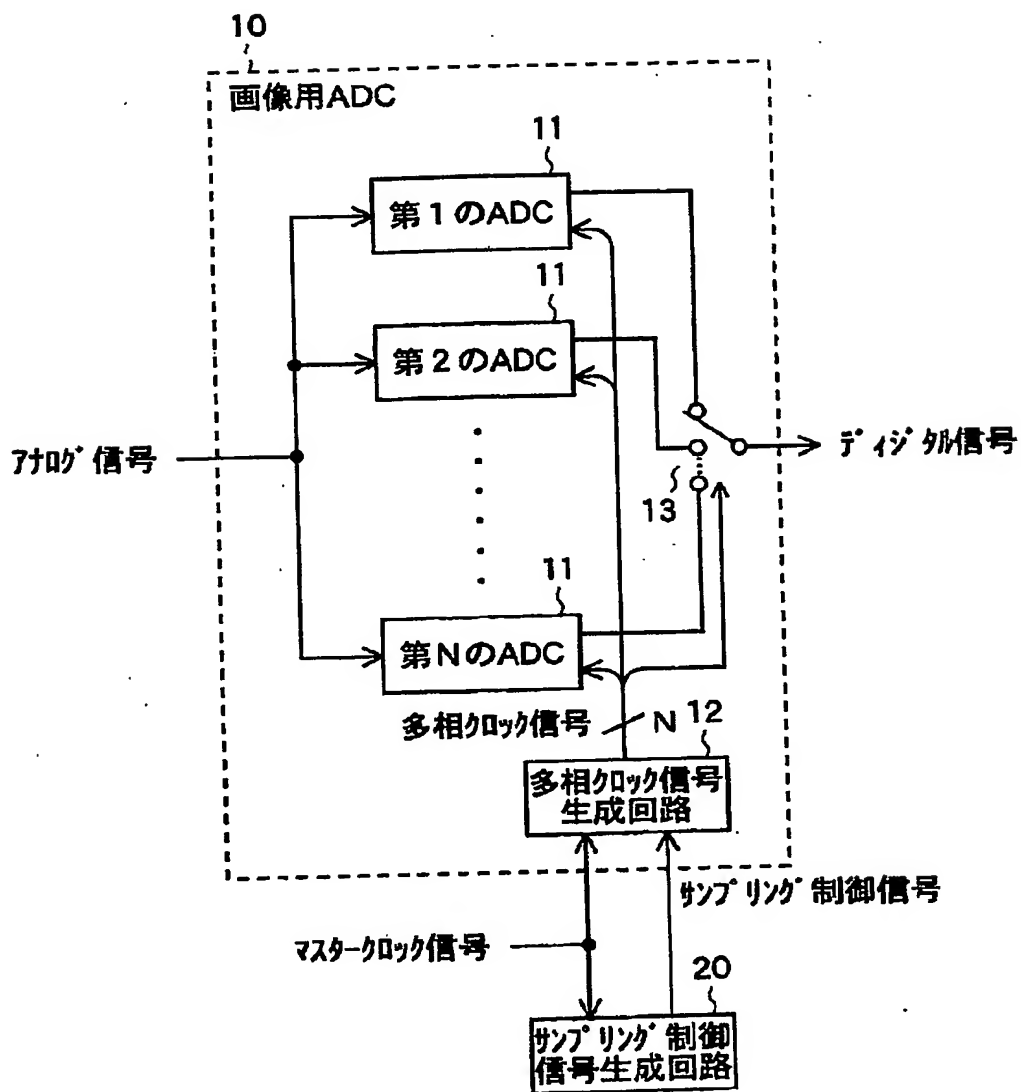
1 1、1 1 1 A D C

- 12、31、51、71、112 多相クロック信号生成回路
- 13、113 切換回路
- 20、40 サンプリング制御信号生成回路
- 32、52、60 カウンタ
- 80 クロック信号制御回路
- 91 回路素子
- 92 スイッチ
- 93 多相制御信号生成回路
- 100 スイッチング制御信号生成回路

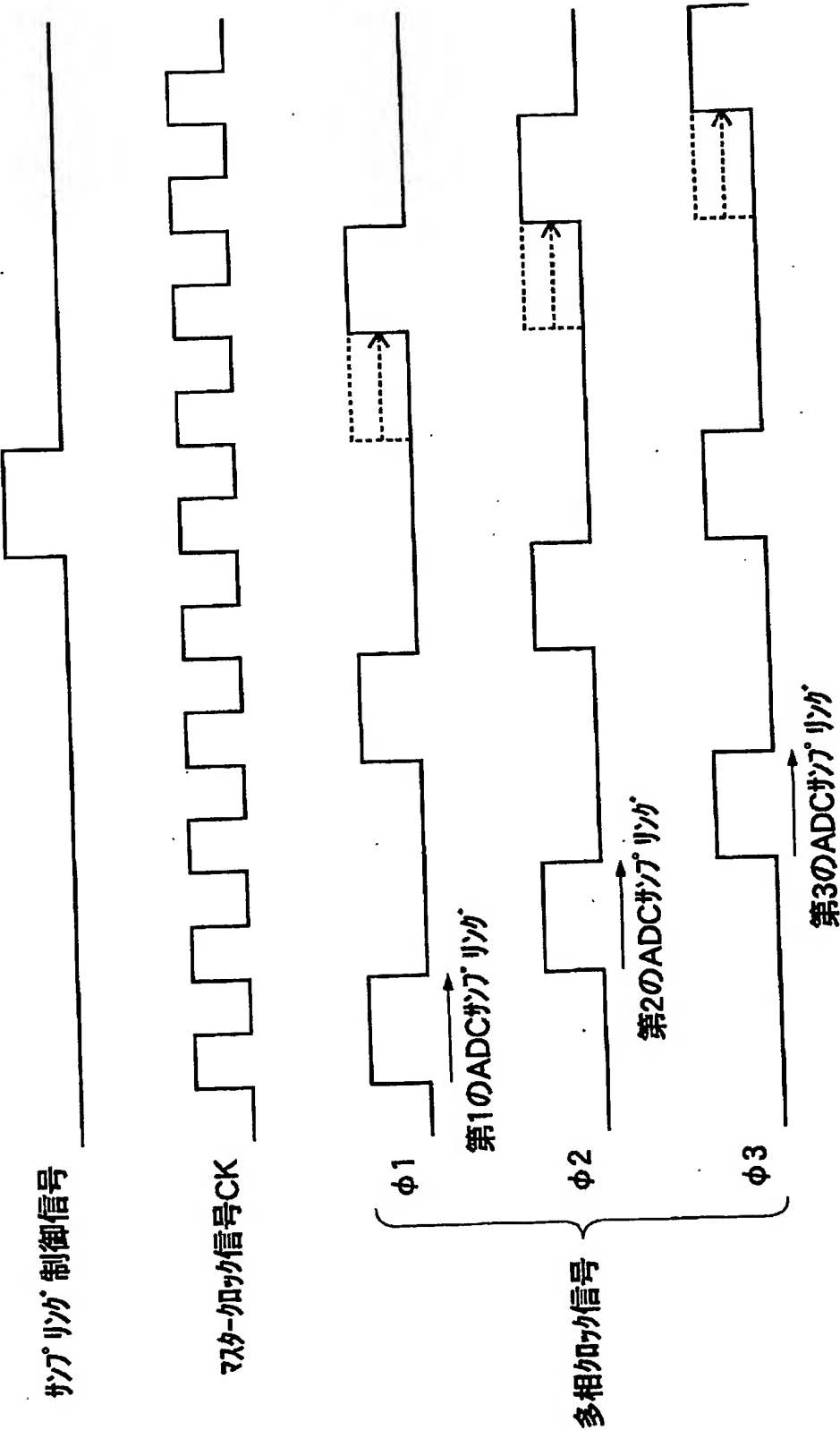
【書類名】

図面

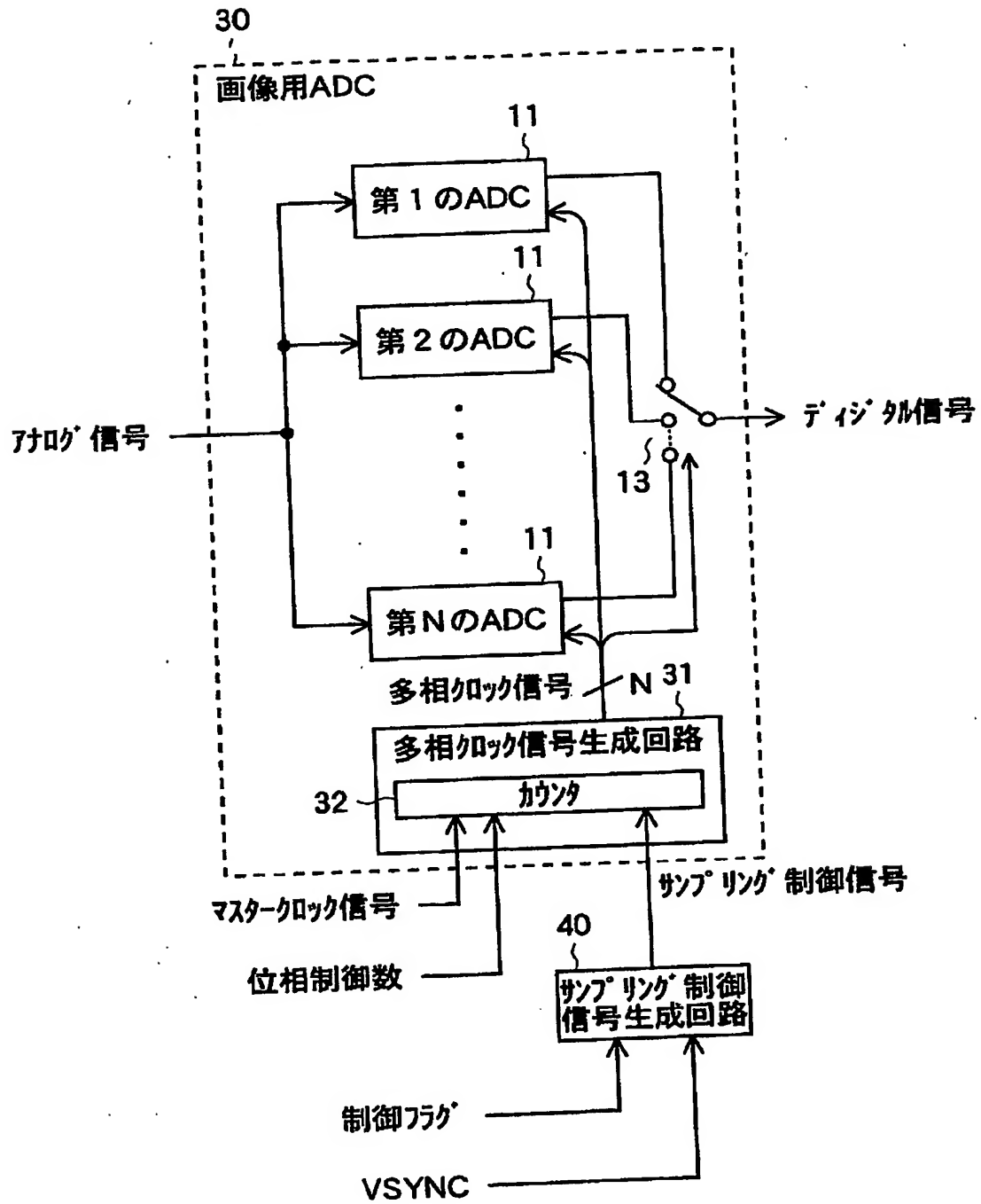
【図 1】



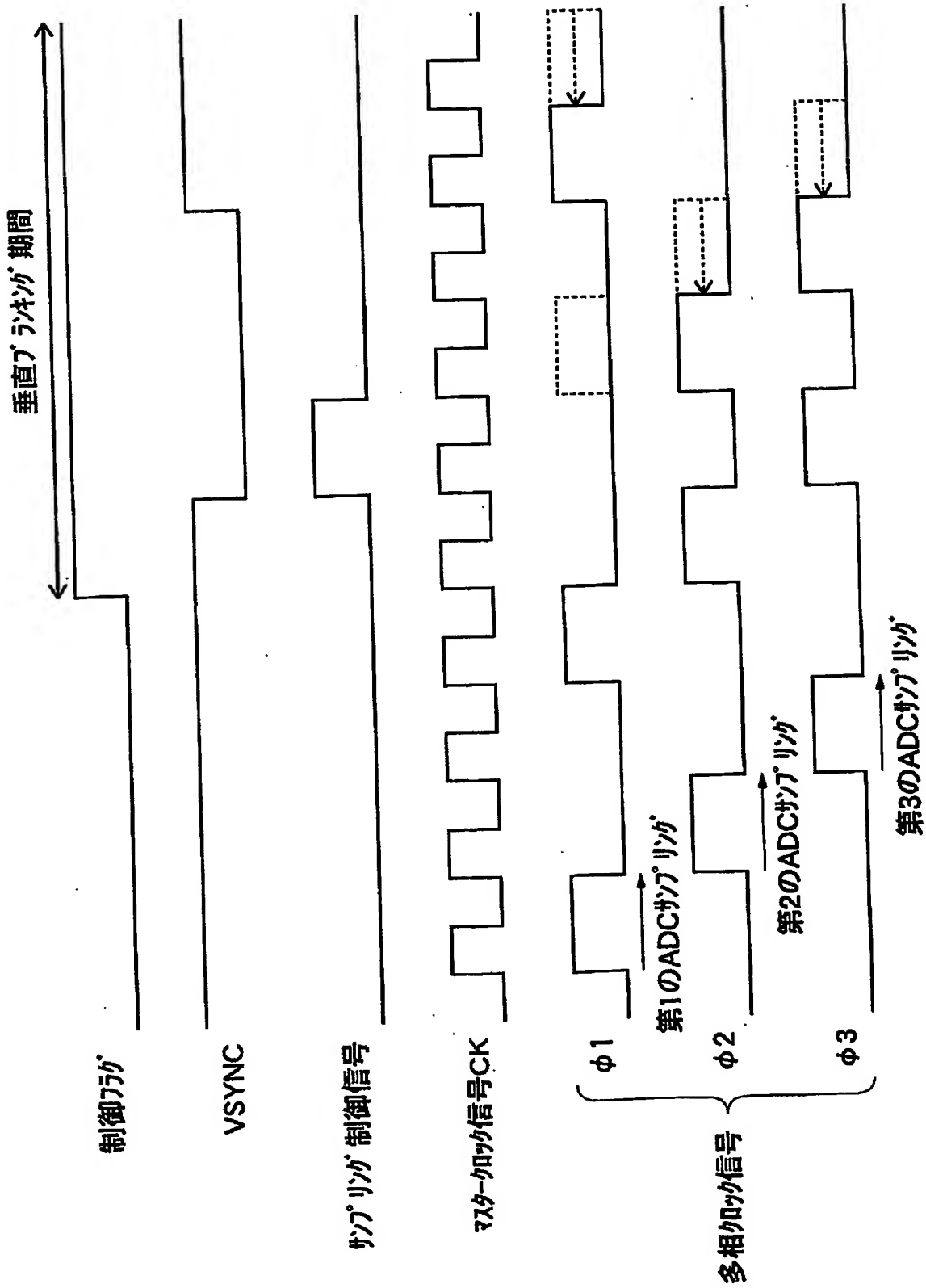
【図 2】



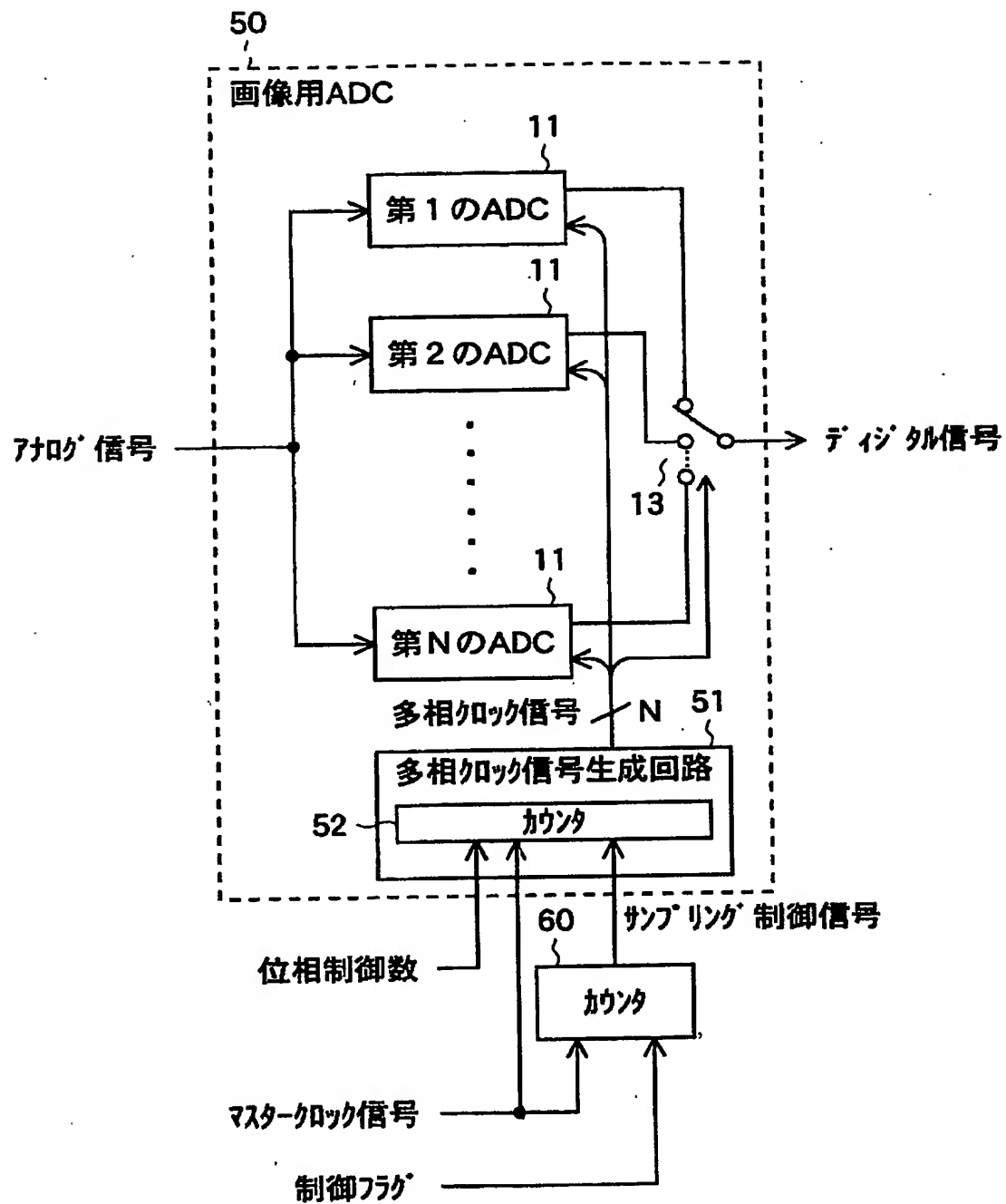
【図 3】



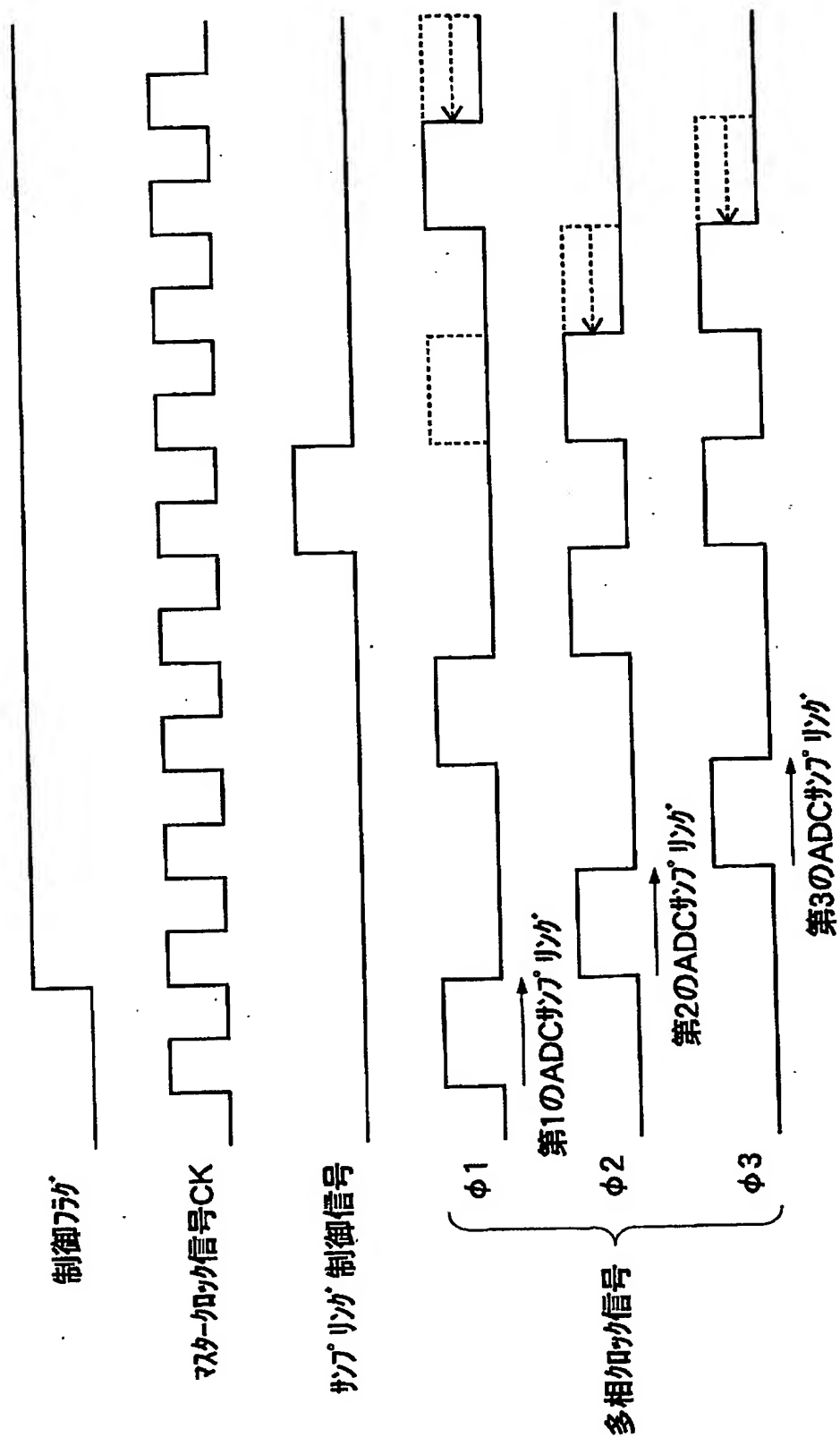
【図 4】



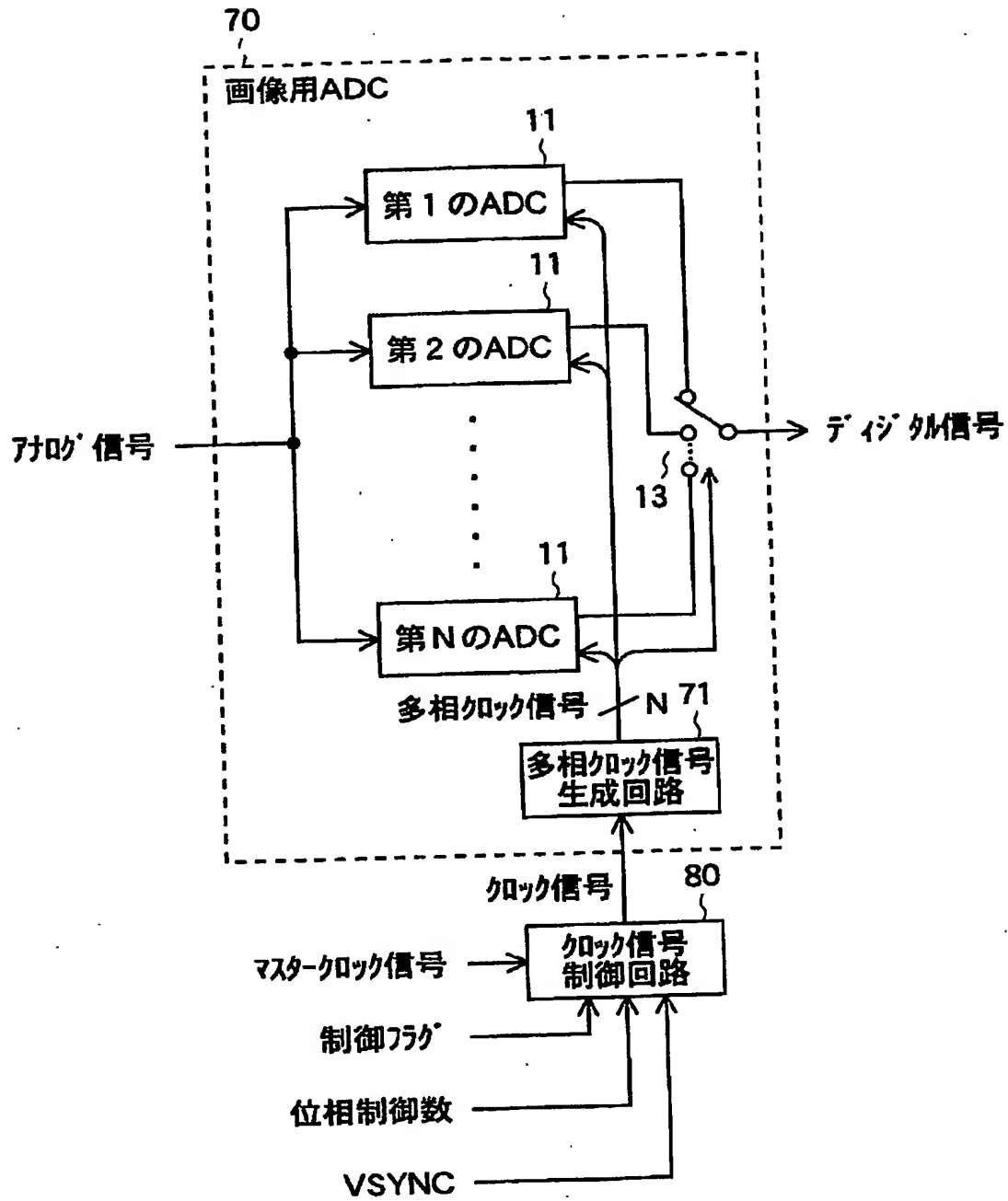
【図5】



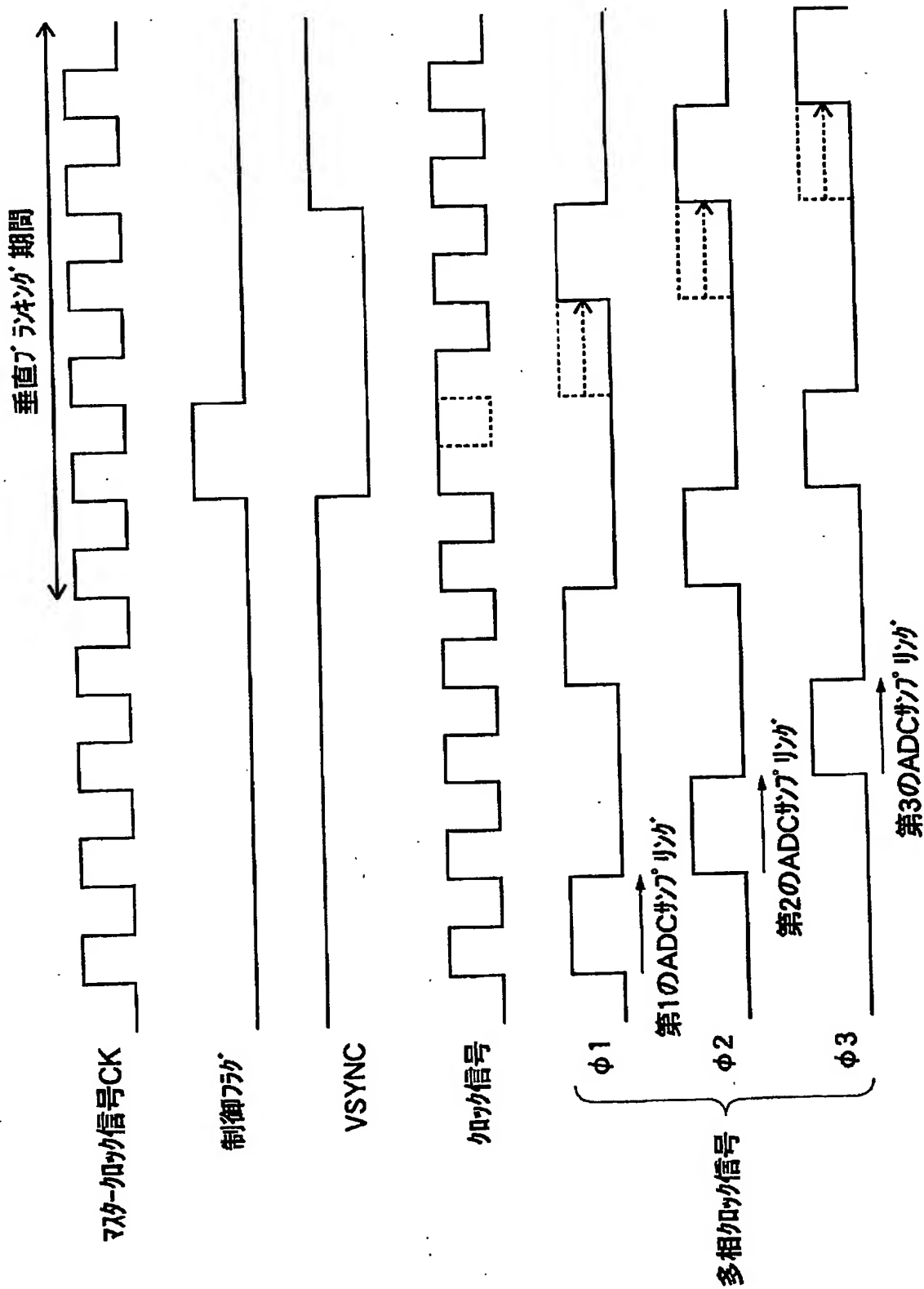
【図6】



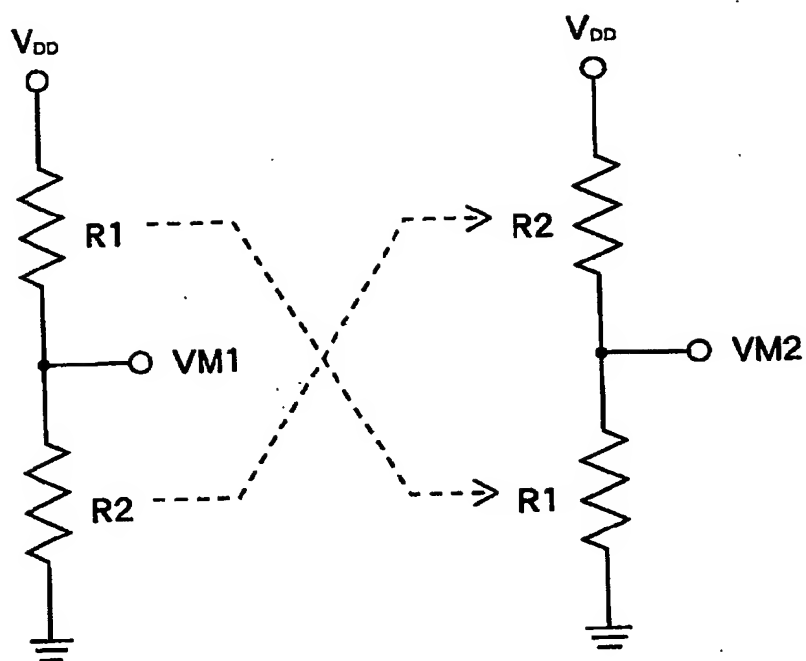
【図 7】



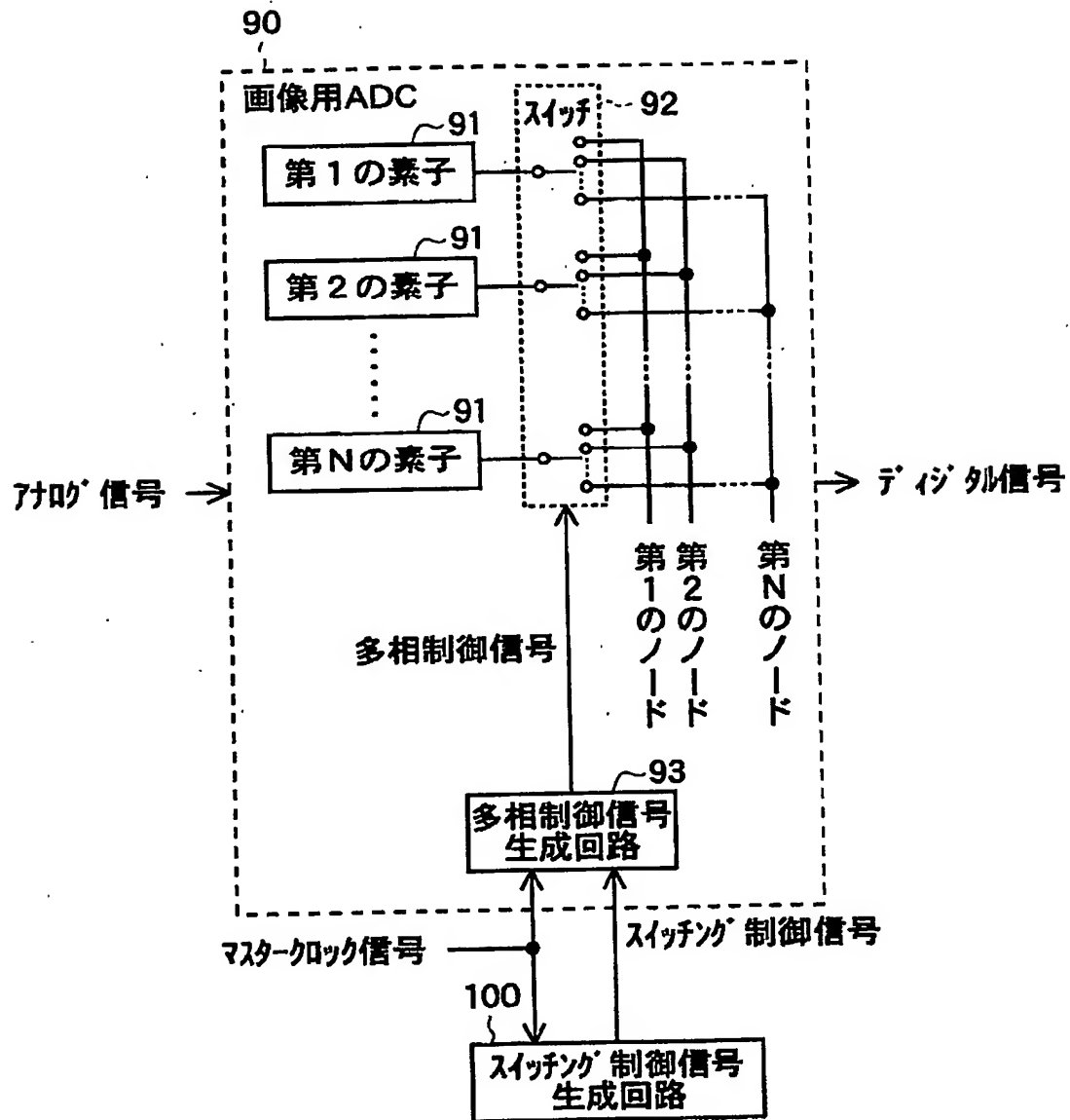
【図 8】



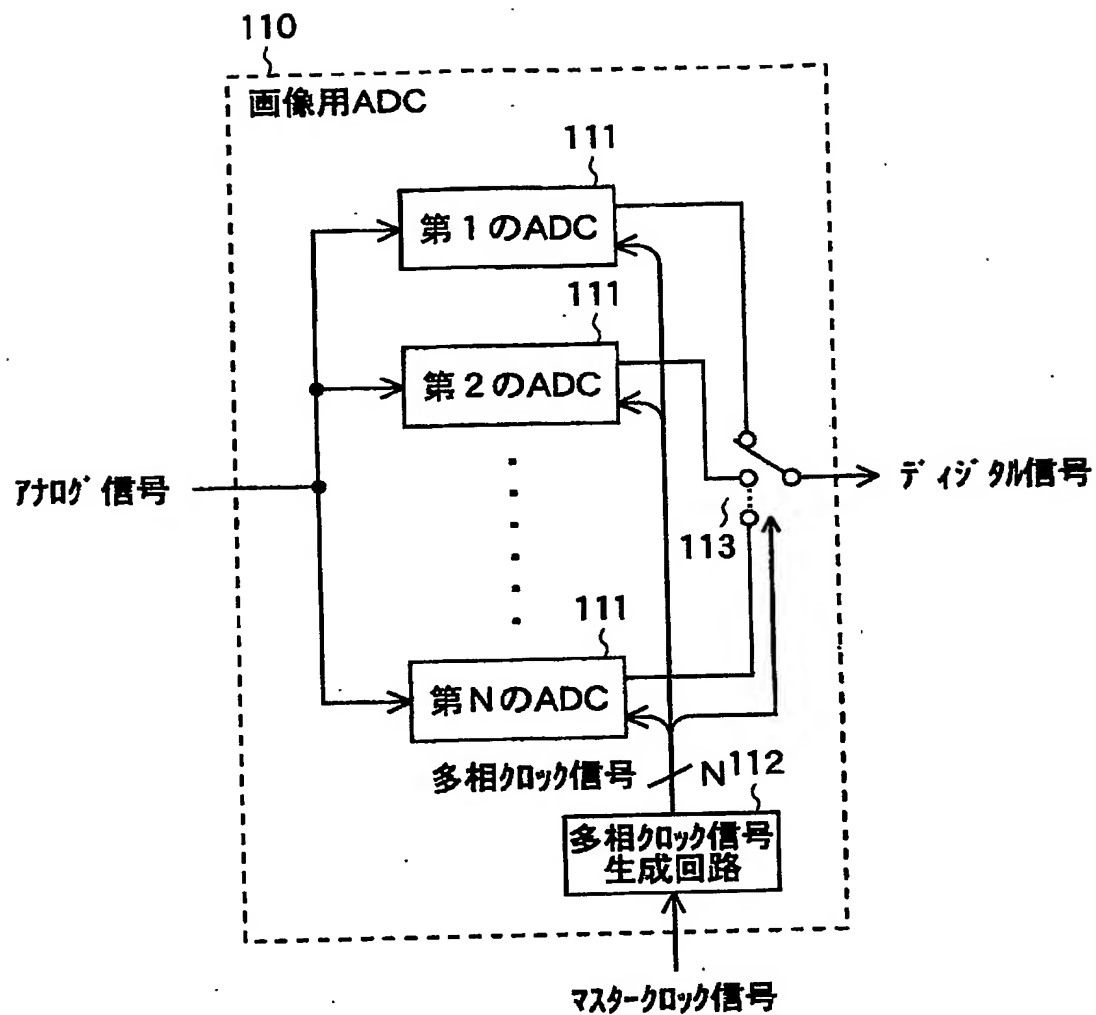
【図 9】



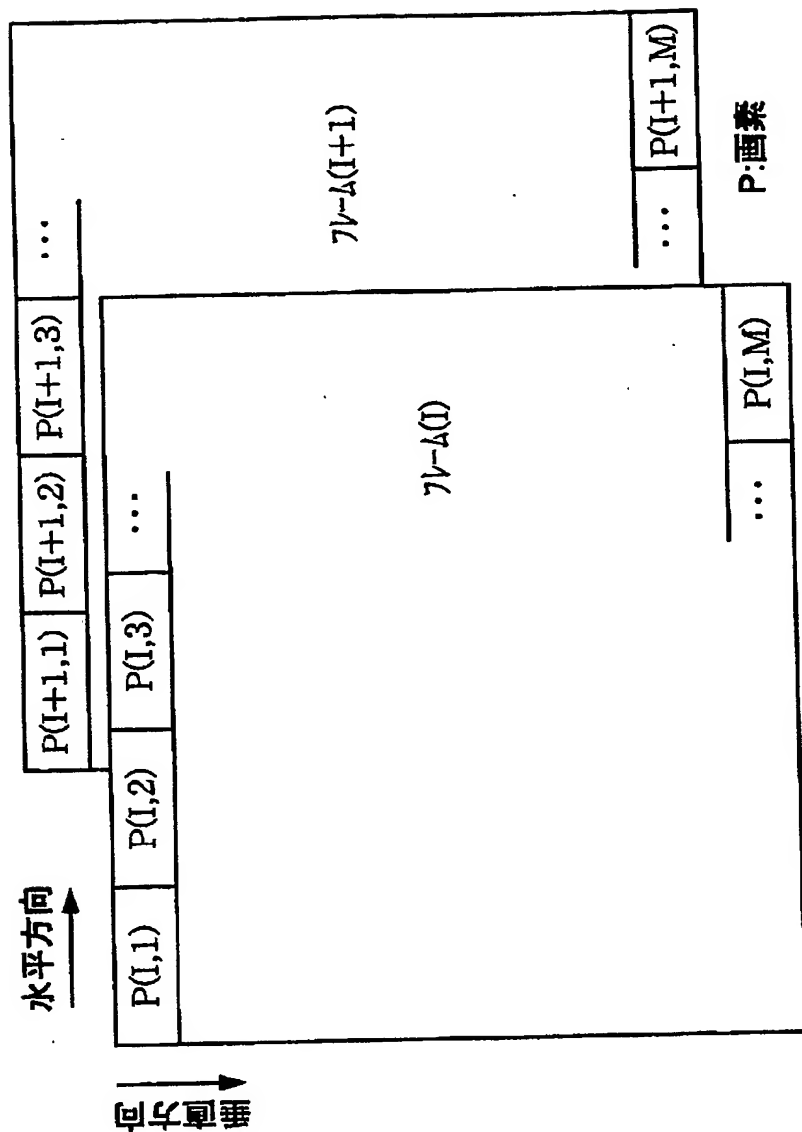
【図10】



【図 11】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 複数のADCをインターリーブ動作させて並列化し、又は、複数の回路素子を順次切り換えて用いる画像用ADCを含む半導体集積回路において、いかなる仕様の画像信号が入力されても、画像用ADCの出力信号を平均化して画面上のムラを改善する。

【解決手段】 アナログ画像信号をディジタル画像信号に順次変換するために並列動作を行う複数のアナログ／ディジタル変換回路11と、複数のアナログ／ディジタル変換回路を周期的にある順序で動作させるために用いる多相クロック信号を生成する多相クロック信号生成回路12と、複数のアナログ／ディジタル変換回路を動作させる周期又は順序を変更するように多相クロック信号生成回路を制御する制御回路20とを具備する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-079960
受付番号	50200399843
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 3月25日

<認定情報・付加情報>

【提出日】	平成14年 3月22日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [399011195]

1. 変更年月日 2000年 1月17日
[変更理由] 住所変更
住 所 東京都中央区八丁堀一丁目10番7号
氏 名 ザインエレクトロニクス株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.